

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- ✓ TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



Practitioner's Docket No.: 040008-0307457  
Client Reference No.: OG03-027

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of:  
BYEONG RYEOL LEE

Confirmation No: 2865

Application No.: 10/747,621

Group No.: 2812

Filed: December 30, 2003

Examiner: uNASSIGNED

For: METHOD OF FORMING ISOLATION STRUCTURES IN EMBEDDED  
SEMICONDUCTOR DEVICE

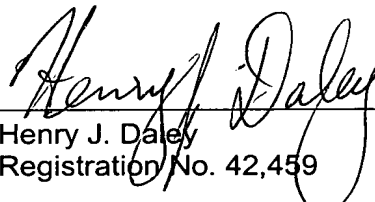
**Commissioner for Patents**  
**P.O. Box 1450**  
**Alexandria, VA 22313-1450**

**SUBMISSION OF PRIORITY DOCUMENT**

Attached please find the certified copy of the foreign application from which priority is  
claimed for this case:

<u>Country</u>	<u>Application Number</u>	<u>Filing Date</u>
KOREA	10-2002-0087273	12/30/2002

Date: May 10, 2004  
PILLSBURY WINTHROP LLP  
P.O. Box 10500  
McLean, VA 22102  
Telephone: (202) 775-9832  
Facsimile: (703) 905-2500  
Customer Number: 00909

  
Henry J. Daley  
Registration No. 42,459



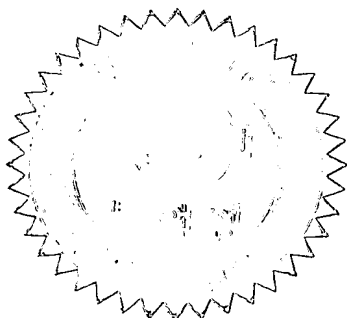
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0087273  
Application Number

출원 년 월 일 : 2002년 12월 30일  
Date of Application DEC 30, 2002

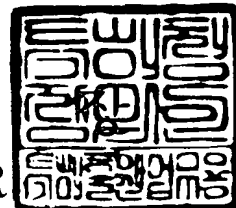
출원인 : 동부전자 주식회사  
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 11 월 18 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.12.30
【발명의 명칭】	임베디드 반도체 장치의 소자 분리 구조물의 형성 방법
【발명의 영문명칭】	Method for forming isolation structure in embeded semiconductor device
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	2001-050901-4
【발명자】	
【성명의 국문표기】	이병렬
【성명의 영문표기】	LEE,Byeong Ryeol
【주민등록번호】	640715-1006716
【우편번호】	156-845
【주소】	서울특별시 동작구 상도3동 279-571
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 강성배 (인)
【수수료】	
【기본출원료】	18 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	29,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

개시된 방법은 임베디드 반도체 장치의 소자 분리 구조물의 형성에 관한 것이다. 상기 기판의 제1영역에 부분 산화에 의한 제1소자 분리 구조물을 형성함과 동시에 상기 이온의 확산을 통하여 상기 제1영역의 기판에 깊은 접합 구조를 갖는 제1타입의 웰을 형성한다. 상기 기판의 제2영역에 트렌치 구조물을 갖는 제2소자 분리 구조물을 형성한다. 이에 따라, 하나의 칩 상에 부분 산화에 의한 제1소자 분리 구조물과 트렌치 구조물을 갖는 제2소자 분리 구조물을 형성할 수 있다. 그리고, 상기 제2소자 분리 구조물의 주변 영역 및 상기 제1소자 분리 구조물과 제2소자 분리 구조물이 인접한 영역의 기판에 얕은 접합 구조를 갖는 제1타입의 웰을 형성하고, 상기 제1소자 분리 구조물의 주변 영역과 상기 제2소자 분리 구조물이 형성된 영역의 기판에 얕은 접합 구조를 갖는 제2타입의 웰을 형성하고,, 상기 기판 상에 제1타입과 제2타입의 활성 영역을 정의한다.

**【대표도】**

도 10

**【명세서】****【발명의 명칭】**

임베디드 반도체 장치의 소자 분리 구조물의 형성 방법{Method for forming isolation structure in embeded semiconductor device}

**【도면의 간단한 설명】**

도 1 내지 도 13은 본 발명의 일 실시예에 따른 임베디드 반도체 장치의 소자 분리 구조물을 형성하는 방법을 나타내는 단면도들이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <2> 본 발명은 반도체 장치의 소자 분리 구조물의 형성 방법에 관한 것으로서, 보다 상세하게는 임베디드 반도체 장치의 소자 분리 구조물의 형성 방법에 관한 것이다.
- <3> 반도체 장치의 종류에는 여러 가지가 있으며, 이들 여러 가지의 반도체 장치 중에 메모리 셀에 데이터를 저장하거나 메모리 셀에 저장된 데이터를 외부로 전송시키는 기능을 갖는 반도체 기억 소자와, 상기 반도체 기억 소자로부터 입력되는 데이터를 연산 처리하는 기능을 갖고, 컴퓨터 및 가전 제품 등에 사용되는 논리 소자가 있다.
- <4> 그리고, 상기 반도체 장치가 고집적화를 요구함에 따라, 여러 가지 다른 기능을 가진 소자들을 하나의 칩(chip)에 구현할 필요를 갖게 된다. 상기 여러 가지 른 기능을 가진 소자들을 하나의 칩에 구현한 반도체 장치의 예로서는 파워 소자에 로직 소자가 하나의 칩 상에 구현되는 구조를 갖는 임베디드 반도체 장치를 들 수 있다.

- <5>      상기 임베디드 반도체 장치에서 상기 파워 소자가 형성되는 영역은 고전압이 걸리는 부분이다. 따라서, 상기 파워 소자가 형성되는 영역에서의 소자 분리는 부분 산화 즉, 로코스(LOCOS)에 의해 형성되는 필드 산화막에 의해 달성된다. 따라서, 상기 임베디드 반도체 장치에 적용되는 소자 분리 구조물은 상기 부분 산화에 형성되는 필드 산화막이다.
- <6>      이와 같이, 상기 임베디드 반도체 장치는 상기 필드 산화막에 의한 소자 분리가 적용되기 때문에 미세 패턴 구조의 형성이 용이하지 않다. 즉, 상기 로직 소자가 형성되는 영역에도 상기 필드 산화막에 의한 소자 분리가 적용되기 때문이다.
- <7>      따라서, 종래의 방법을 통하여 형성되는 임베디드 반도체 장치의 경우에는 상기 소자 분리의 적용으로 인하여  $0.3\mu\text{m}$  이하의 디자인 룰을 요구하는 최근의 경향을 수용하지 못하는 결함을 갖는다.

**【발명이 이루고자 하는 기술적 과제】**

- <8>      본 발명의 목적은, 하나의 칩 상에 서로 다른 소자 분리 구조물들을 형성하기 위한 방법을 제공하는데 있다.

**【발명의 구성 및 작용】**

- <9>      상기 목적을 달성하기 위한 본 발명은, 제1영역에 이온이 주입된 기판을 마련하는 단계와, 상기 기판의 제1영역에 부분 산화에 의한 제1소자 분리 구조물을

형성하는 단계와, 상기 이온의 확산을 통하여 상기 제1영역의 기판에 깊은 접합 구조를 갖는 제1타입의 웰을 형성하는 단계와, 상기 기판의 제2영역에 트렌치 구조물을 갖는 제2소자 분리 구조물을 형성하는 단계와, 상기 제2소자 분리 구조물의 주변 영역 및 상기 제1소자 분리 구조물과 제2소자 분리 구조물이 인접한 영역의 기판에 얇은 접합 구조를 갖는 제1타입의 웰을 형성하는 단계와, 상기 제1소자 분리 구조물의 주변 영역과 상기 제2소자 분리 구조물이 형성된 영역의 기판에 얇은 접합 구조를 갖는 제2타입의 웰을 형성하는 단계와, 상기 기판 상에 제1타입과 제2타입의 활성 영역을 정의하는 단계를 포함한다.

<10> 본 발명에 의하면, 하나의 칩 상에 부분 산화에 의한 제1소자 분리 구조물과 트렌치 구조물을 갖는 제2소자 분리 구조물을 형성할 수 있다. 따라서, 형성되는 소자의 기능에 따라 서로 다른 소자 분리 구조물의 적용이 가능하다. 여기서, 상기 트렌치 구조물의 경우에는 상기 부분 산화에 의한 구조물보다 협소한 면적을 차지한다. 때문에, 본 발명의 방법을 임베디드 반도체 장치의 제조에 적용할 경우  $0.3\mu\text{m}$  이하의 디자인 룰의 구현이 가능하다.

<11> 이하, 본 발명을 상세하게 설명하기로 한다.

<12> 먼저, 제1영역에 이온이 주입된 기판을 마련한다. 상기 제1영역은 포토레지스트 패턴에 의해 한정된다.

<13> 그리고, 상기 기판의 제1영역에 부분 산화에 의한 제1소자 분리 구조물을 형성한다. 상기 제1소자 분리 구조물은 패드 산화막 및 질화막을 형성한 후, 사진 식각 공정을 통하여 노출되는 기판을 부분 산화시킴으로서 형성된다. 이때, 상기 기판에 주입된 이온은 확산된다. 즉, 상기 부분 산화가 열산화에 의해 달성되는데, 상기 열산화에 의해 제공되는 열을 통하여 상기



이온이 확산되는 것이다. 이와 같이, 상기 확산을 통하여 상기 제1영역의 기판에 깊은 접합 구조를 갖는 제1타입의 웰이 형성된다. 상기 제1타입의 웰은 n-타입의 웰이 바람직하다. 따라서, 상기 제1영역에 주입되는 이온은 n-타입의 이온인 것이 바람직하다.

<14> 이어서, 상기 기판의 제2영역에 트렌치 구조물을 갖는 제2소자 분리 구조물을 형성한다. 상기 제2소자 분리 구조물은 패드 산화막과 질화막을 형성한 후, 사진 식각 공정을 통하여 노출되는 기판에 트렌치를 형성하고, 상기 트렌치에 절연막을 매립시킴으로서 형성된다.

<15> 계속해서, 상기 제2소자 분리 구조물의 주변 영역 및 상기 제1소자 분리 구조물과 제2소자 분리 구조물이 인접한 영역의 기판에 얇은 접합 구조를 갖는 제1타입의 웰을 형성한다. 이때, 상기 얇은 접합 구조를 갖는 제1타입의 웰은 고에너지를 갖는 이온 주입에 의해 형성되는 것이 바람직하다. 따라서, 포토레지스트 패턴을 이온 주입 마스크로 사용한다. 그리고, 상기 얇은 접합 구조를 갖는 제1타입의 웰 또한 n-타입의 웰인 것이 바람직하다. 때문에, 상기 주입되는 이온은 n-타입의 이온이다.

<16> 다음에, 상기 제1소자 분리 구조물의 주변 영역과 상기 제2소자 분리 구조물이 형성된 영역의 기판에 얇은 접합 구조를 갖는 제2타입의 웰을 형성한다. 상기 제2타입의 웰의 형성은 포토레지스트 패턴을 이온 주입 마스크로 사용하는 이온 주입에 의해 달성된다. 그리고, 상기 제1타입의 웰이 n-타입이기 때문에 상기 제2타입의 웰은 p-타입인 것이 바람직하다.

<17> 마지막으로, 상기 기판 상에 제1타입과 제2타입의 활성 영역을 정의한다. 즉, 상기 소자 분리 구조물이 형성된 영역 이외의 기판 표면에 이온을 주입시킴으로서 상기 활성 영역이 정의된다.

- <18> 이와 같이, 본 발명은 하나의 칩 상에 부분 산화에 의한 구조물 및 트렌치 구조물의 형성이 가능하다. 따라서, 임베디드 반도체 장치에서 파워 소자가 형성되는 영역에는 상기 부분 산화에 의한 소자 분리 구조물을 적용하고, 로직 소자가 형성되는 영역에는 트렌치 구조물을 갖는 소자 분리 구조물의 적용이 가능하다. 그리고, 상기 부분 산화에 의한 소자 분리 구조물을 형성할 때 상기 깊은 접합 구조를 갖는 웰의 형성을 형성할 수 있다. 때문에, 공정의 간편화의 구현도 가능하다.
- <19> 따라서, 본 발명에 의하면, 단일 칩 상에 파워 소자와 로직 소자를 갖는 임베디드 반도체 장치에 미세 패턴 구조를 용이하게 구현시킬 수 있다.
- <20> 이하, 본 발명의 바람직한 실시예를 첨부한 도면에 따라서 더욱 상세히 설명하기로 한다.
- <21> 도 1 내지 도 13은 본 발명의 일 실시예에 따른 임베디드 반도체 장치의 소자 분리 구조물을 형성하는 방법을 나타낸다.
- <22> 도 1을 참조하면, 기판(1) 상에 패드 산화막(2) 및 질화막(3)을 순차적으로 적층한다. 그리고, 상기 질화막(3) 상에 포토레지스트막을 형성한다. 상기 포토레지스트막의 형성은 스핀-코터를 사용한 스핀 코팅에 의해 달성된다. 이어서, 사진 식각 공정을 통하여 상기 포토레지스트막을 포토레지스트 패턴(4)으로 형성한다. 이에 따라, 제1영역 즉, 파워 소자가 형성될 영역의 질화막(3)이 노출된다. 그리고, 상기 포토레지스트 패턴(4)을 이온 마스크로 사용한 이온 주입을 실시한다. 이에 따라, 상기 파워 소자가 형성될 영역의 기판(1)에 이온(30)이 주입된다. 여기서, 상기 이온은 n-타입이다.

- <23> 이와 같이, 상기 이온(30)을 주입한 후, 상기 이온 주입 마스크로 사용한 포토레지스트 패턴(4)을 제거한다. 상기 포토레지스트 패턴(4)의 제거는 스트립 공정 및 애싱 공정에 의해 달성된다.
- <24> 도 2를 참조하면, 상기 이온(30)이 주입된 기판(1)의 질화막(3) 상에 포토레지스트막을 형성한다. 그리고, 사진 식각 공정을 통하여 상기 포토레지스트막을 포토레지스트 패턴(5)으로 형성한다. 상기 포토레지스트 패턴(5)의 형성에 의해 제1영역의 질화막(3)이 부분적으로 노출된다. 그리고, 상기 포토레지스트 패턴(5)을 식각 마스크로 사용하는 식각 공정을 통하여 상기 부분적으로 노출된 질화막(3)을 제거하고, 상기 질화막(3)의 제거에 의해 노출된 패드 산화막(2)을 순차적으로 제거한다. 이에 따라, 상기 질화막(3) 및 패드 산화막(2) 각각은 질화막 패턴(3a) 및 패드 산화막 패턴(2a)으로 형성된다. 그리고, 상기 식각 마스크로 사용한 포토레지스트 패턴(5)을 제거한다.
- <25> 도 3을 참조하면, 상기 질화막 패턴(3a) 및 패드 산화막 패턴(2a)에 의해 부분적으로 노출된 기판(1)을 부분 산화시킨다. 상기 부분 산화는 열산화에 의해 달성되는데, 약 850 내지 1,000℃의 온도 분위기로 이루어진다. 이에 따라, 상기 노출된 기판(1) 부분에는 소자 분리 구조물로서 필드 산화막(7)이 형성된다. 이와 동시에, 상기 기판(1)에 주입된 이온(30)은 확산이 이루어진다. 즉, 상기 온도 분위기에서 실시되는 열산화의 영향으로 인하여 상기 확산이 이루어지는 것이다. 이에 따라, 상기 파워 소자가 형성될 영역의 기판(1)에 깊은 접합 구조를 갖는 n-웰(6)이 형성된다.
- <26> 그리고, 상기 질화막 패턴(3a) 및 패드 산화막 패턴(2a)을 제거한다. 상기 제거는 인산 용액, LAL 용액 등을 사용한 습식 식각에 의해 달성된다.

- <27> 도 4를 참조하면, 상기 필드 산화막(7)이 형성된 기판(1) 상에 패드 산화막(8) 및 질화막(9)을 순차적으로 형성한다.
- <28> 도 5를 참조하면, 상기 질화막(9) 상에 포토레지스트막을 형성한다. 그리고, 사진 식각 공정을 통하여 상기 포토레지스트막을 부분적으로 제거하여 포토레지스트 패턴(10)을 형성한다. 이에 따라, 상기 기판(1)의 제2영역 즉, 로직 소자가 형성될 영역의 질화막(9)이 부분적으로 노출된다. 이어서, 상기 포토레지스트 패턴(10)을 식각 마스크로 사용하여 상기 부분적으로 노출된 질화막(9)을 제거하고, 상기 제거에 의해 노출되는 패드 산화막(8)을 순차적으로 제거한다. 상기 제거에 의해 상기 질화막(9) 및 패드 산화막(8) 각각은 질화막 패턴(9a) 및 패드 산화막 패턴(8a)으로 형성된다. 그리고, 상기 질화막 패턴(9a) 및 패드 산화막 패턴(8a)의 형성에 의해 상기 로직 소자가 형성될 영역의 기판(1)이 부분적으로 노출된다.
- <29> 도 6을 참조하면, 상기 포토레지스트 패턴(10)을 식각 마스크로 사용한 식각 공정을 실시하여 상기 부분적으로 노출된 기판(1)에 트렌치(33)를 형성한다. 그리고, 상기 포토레지스트 패턴(10)을 제거한다.
- <30> 도 7을 참조하면, 상기 트렌치(33)를 갖는 기판(1) 상에 절연막(11)을 형성한다. 상기 절연막(11)은 산화막인 것이 바람직하다. 이와 같이, 상기 기판(1) 상에 절연막(11)을 형성함으로써 상기 트렌치(33) 내에는 상기 절연막(11)이 매립된다.
- <31> 도 8을 참조하면, 상기 절연막(11)의 표면을 평탄화시킨다. 이에 따라, 평탄한 표면을 갖는 절연막(11a)이 형성된다. 상기 평탄화는 화학 기계적 연마에 의해 달성되는 것이 바람직하다. 그리고, 상기 평탄화는 상기 필드 산화막(7)이 형성되어 있는 영역의 질화막 패턴(9a)이 노출되는 시점까지 진행되는 것이 바람직하다.

- <32> 도 9를 참조하면, 상기 평탄한 표면을 갖는 절연막(11a)을 제거한다. 상기 절연막(11a)의 제거는 습식 식각 또는 건식 식각에 의해 이루어진다. 그리고, 상기 평탄한 표면을 갖는 절연막(11a)을 제거할 때 상기 질화막 패턴(9a)도 다소 제거될 수 있다. 그러나, 상기 트렌치(33)에는 절연막이 매립된 소자 분리 구조물(35) 형태를 갖는다. 즉, 상기 절연막(11a)을 제거할 때 식각 종말점으로서 상기 질화막 패턴(9a)이 노출되는 부분을 설정한다.
- <33> 도 10을 참조하면, 상기 질화막 패턴(9a) 및 패드 산화막 패턴(8a)을 순차적으로 제거한다. 이에 따라, 상기 기판(1)의 제1영역 즉, 파워 소자가 형성될 영역에는 소자 분리 구조물로서 필드 산화막(7)이 형성되고, 상기 기판(1)의 제2영역 즉, 로직 소자가 형성될 영역에는 소자 분리 구조물로서 트렌치 산화막(35)이 형성된다.
- <34> 도 11을 참조하면, 필드 산화막(7)과 트렌치 산화막(35)을 갖는 기판(1) 상에 포토레지스트 패턴(12)을 형성한다. 이에 따라, 상기 트렌치 산화막(35)이 형성된 주변 영역과 상기 트렌치 산화막(35)과 상기 필드 산화막(7)이 형성된 인접 영역의 기판(1)이 노출된다. 이어서, 상기 포토레지스트 패턴(12)을 이온 주입 마스크로 사용한 고에너지의 이온 주입을 실시한다. 이때, 상기 이온 주입에 의해 주입되는 이온은 n-타입이다. 이에 따라, 상기 기판(1)에는 얇은 접합 구조를 갖는 n-웰(13)이 형성된다. 그리고, 상기 포토레지스트 패턴(12)을 제거한다.
- <35> 도 12를 참조하면, 상기 결과물을 갖는 기판(1) 상에 포토레지스트 패턴(14)을 형성한다. 이에 따라, 상기 트렌치 산화막(35)이 형성된 영역과 상기 필드 산화막(7)의 주변 영역이 노출된다. 그리고, 상기 포토레지스트 패턴(14)을 이온 주입 마스크로 사용한 고에너지의 이온 주입을 실시한다. 이때, 상기 이온 주입에 의해 주입되는 이온은 p-타입이다. 이에 따라, 상기 기판(1)에는 얇은 접합 구조를 갖는 p-웰(15)이 형성된다. 그리고, 상기 포토레지스트 패턴(14)을 제거한다.

<36> 도 13을 참조하면, 상기 기판에 활성 영역(16, 17)을 정의한다. 즉, 상기 필드 산화막(7)과 트렌치 산화막(35)이 형성된 영역을 제외한 영역을 활성 영역(16, 17)으로 정의하는 것이다. 상기 활성 영역(16, 17)의 정의는 상기 필드 산화막(7)과 트렌치 산화막(35)을 이온 주입 마스크로 사용한 이온 주입에 의해 달성된다.

<37> 이와 같이, 상기 일련의 단위 공정들을 실시함으로써 단일 칩 상에 서로 다른 소자 분리 영역의 형성이 이루어진다.

#### 【발명의 효과】

<38> 본 발명에 의하면, 서로 다른 구조를 갖는 소자 분리 구조물들을 단일 칩 상에 형성할 수 있다. 따라서, 각각의 기능에 적합하게 소자 분리 구조물을 적용할 수 있다. 예를 들면, 임베디드 반도체 장치에서 파워 소자가 형성될 영역에는 소자 분리 구조물로서 필드 산화막을 적용하고, 로직 소자가 형성될 영역에는 소자 분리 구조물로서 트렌치 산화막을 적용한다.

<39> 이에 따라, 본 발명의 방법은 미세 패턴을 요구하는 최근의 반도체 장치의 제조에 적절하게 적용할 수 있다. 또한, 깊은 접합 구조를 갖는 웰의 형성을 별도의 진행없이 형성할 수 있다. 때문에, 그것의 제조 공정의 단순화를 꾀할 수도 있다.

<40> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**【특허청구범위】****【청구항 1】**

제1영역에 이온이 주입된 기판을 마련하는 단계;

상기 기판의 제1영역에 부분 산화에 의한 제1소자 분리 구조물을 형성하는 단계;

상기 이온의 확산을 통하여 상기 제1영역의 기판에 깊은 접합 구조를 갖는 제1타입의 웰을 형성하는 단계;

상기 기판의 제2영역에 트렌치 구조물을 갖는 제2소자 분리 구조물을 형성하는 단계;

상기 제2소자 분리 구조물의 주변 영역 및 상기 제1소자 분리 구조물과 제2소자 분리 구조물이 인접한 영역의 기판에 얇은 접합 구조를 갖는 제1타입의 웰을 형성하는 단계;

상기 제1소자 분리 구조물의 주변 영역과 상기 제2소자 분리 구조물이 형성된 영역의 기판에 얇은 접합 구조를 갖는 제2타입의 웰을 형성하는 단계;

상기 기판 상에 제1타입과 제2타입의 활성 영역을 정의하는 단계를 포함하는 임베디드 반도체 장치의 소자 분리 구조물의 형성 방법.

**【청구항 2】**

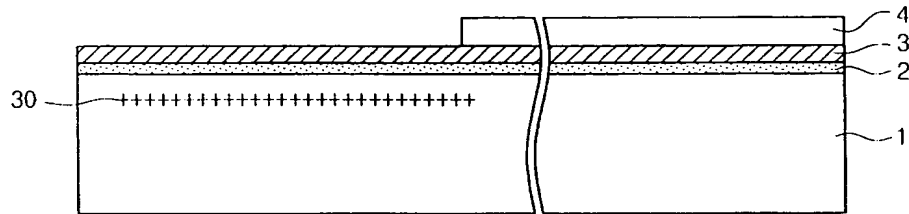
제 1 항에 있어서, 상기 이온의 확산은 상기 부분 산화를 실시할 때 동시에 진행되는 것을 특징으로 하는 임베디드 반도체 장치의 소자 분리 구조물의 형성 방법.

**【청구항 3】**

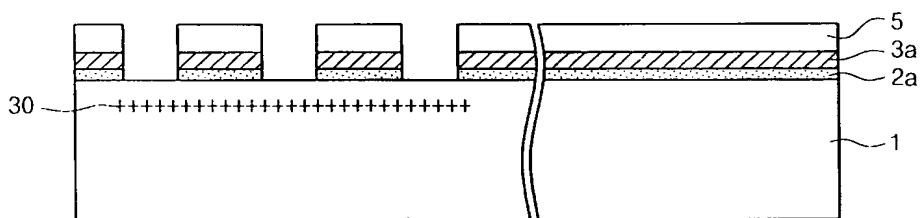
제 1 항에 있어서, 상기 제1타입의 웰은 n-타입의 웰이고, 상기 제2타입의 웰은 p-타입의 웰인 것을 특징으로 하는 임베디드 반도체 장치의 소자 분리 구조물의 형성 방법.

【도면】

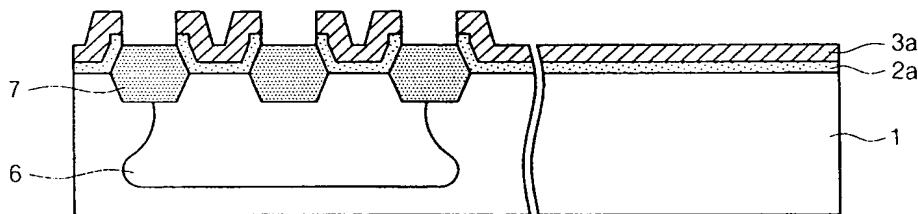
【도 1】



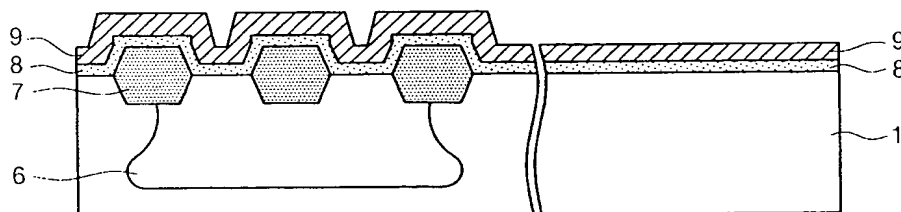
【도 2】



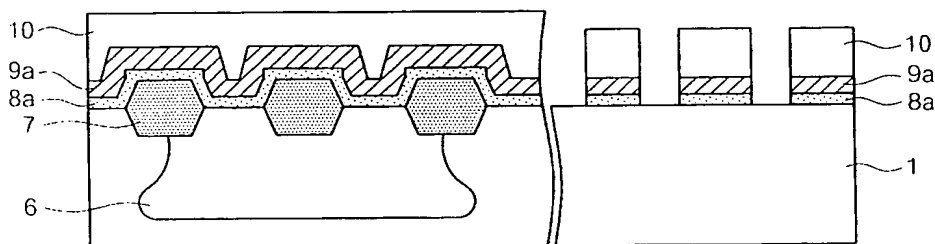
【도 3】



【도 4】

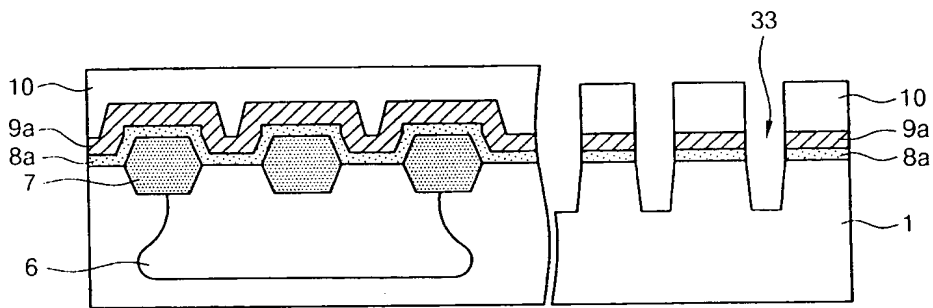


【도 5】

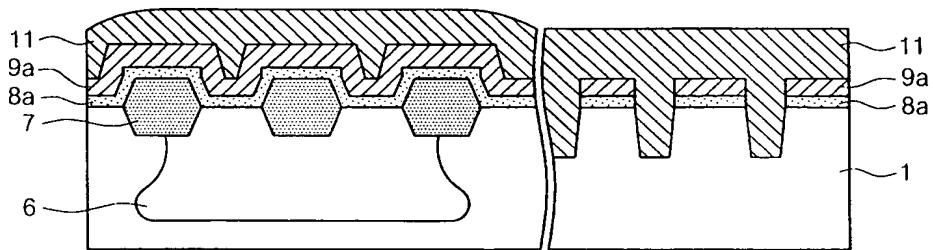




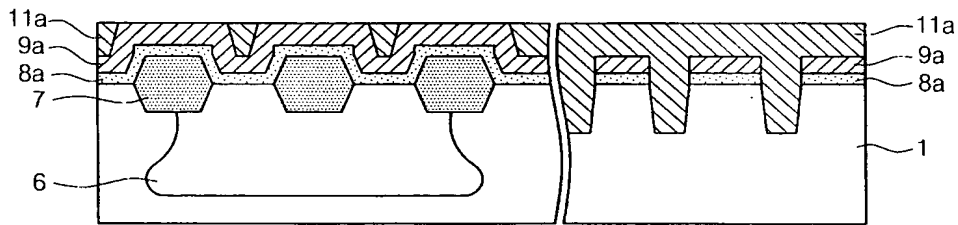
【도 6】



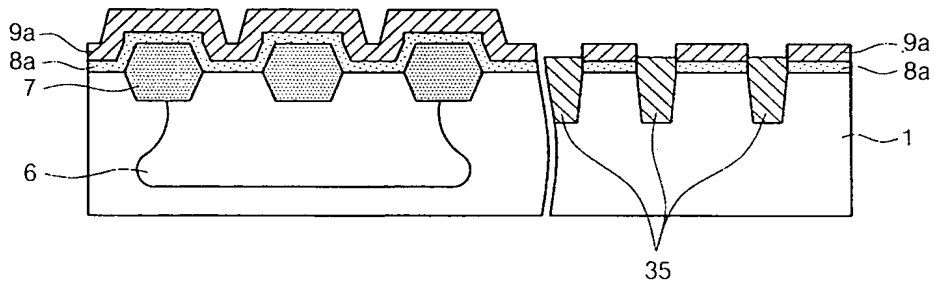
【도 7】



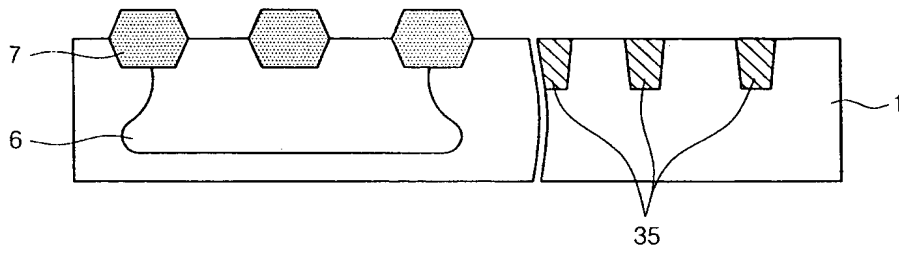
【도 8】



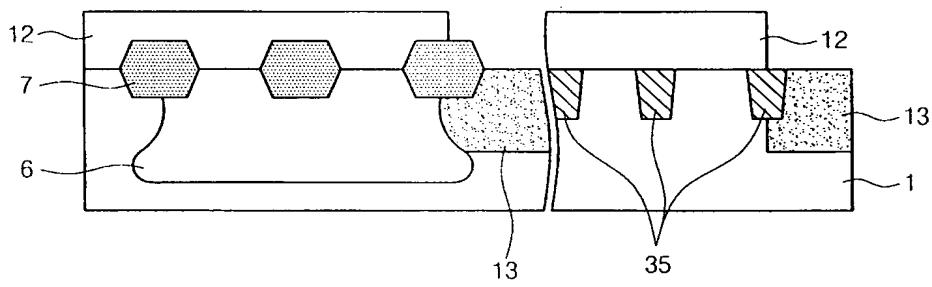
【도 9】



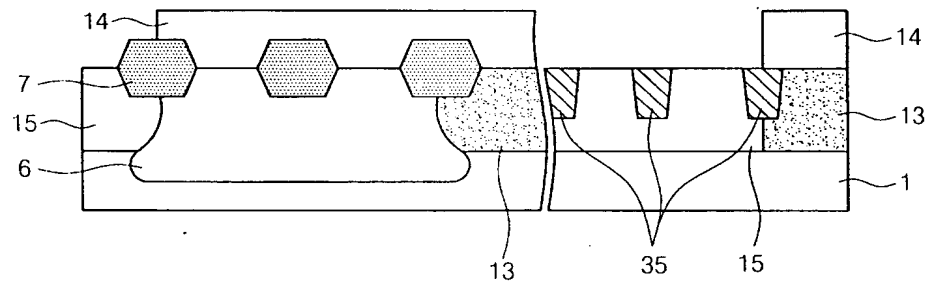
【도 10】



【도 11】



【도 12】



【도 13】

